

CLIPPEDIMAGE= JP403201484A

PAT-NO: JP403201484A

DOCUMENT-IDENTIFIER: JP 03201484 A

TITLE: MANUFACTURE OF LATERAL DMOS

PUBN-DATE: September 3, 1991

INVENTOR-INFORMATION:

NAME

FUNATO, AKIHIRO

ASSIGNEE-INFORMATION:

NAME

NEW JAPAN RADIO CO LTD

COUNTRY

N/A

APPL-NO: JP01338502

APPL-DATE: December 28, 1989

INT-CL (IPC): H01L029/784;H01L021/336

US-CL-CURRENT: 438/305

ABSTRACT:

PURPOSE: To obtain a thick oxide film which overlaps the end of a gate electrode and to obtain an LDMOS which is low in ON-resistance and high in breakdown strength by a method wherein a channel region is formed in a self-aligned manner through double diffusion.

CONSTITUTION: A P<SP>-</SP> region 4 of a P-tab serving as a channel region is formed using an Si<SB>3</SB>N<SB>4</SB> film 13 as a mask, an N<SP>+</SP> source region 6 and an N<SP>+</SP> drain region 5 are formed in a self-aligned manner respectively, and a P<SP>+</SP> diffusion region 7 is formed so as to stay at the same potential with the P<SP>-</SP> region 4 of a P-tab. In

succession, an oxide film 12 and the
Si<SB>3</SB>N<SB>4</SB> film 13 serving as
a surface layer are removed, and a gate oxide film 2 is
formed on the surface
of a channel region as thick as 500Å or so through
thermal oxidation. At
the thermal oxidation concerned, an oxide film 2a is formed
on the N<SP>+</SP>
source region 6 and the N<SP>+</SP> drain region 5 nearly
2-3 times as thick as
the gate oxide film 2 formed on the surface of the channel
region. Then, a
polysilicon gate electrode 3 is formed on the gate oxide
film 2 so as to enable
its ends to overlap the thick oxide film 2a.

COPYRIGHT: (C)1991, JPO&Japio

⑫ 公開特許公報 (A) 平3-201484

⑩ Int. Cl. 5

H 01 L 29/784
21/336

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)9月3日

8422-5F H 01 L 29/78
8422-5F301 D
301 Z

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 ラテラル-D M O S の製造方法

⑮ 特願 平1-338502

⑯ 出願 平1(1989)12月28日

⑰ 発明者 船 渡 昭 弘 埼玉県上福岡市福岡2丁目1番1号 新日本無線株式会社
川越製作所内

⑰ 出願人 新日本無線株式会社 東京都港区虎ノ門1丁目22番14号

明細書

1. 発明の名称

ラテラル-D M O S の製造方法

2. 特許請求の範囲

2つの導電型の異なる不純物の拡散長の差を実効チャネル長とするラテラル-D M O S の製造方法において、

基板表面に薄い酸化膜を形成し、該酸化膜上にソース領域、ドレイン領域形成のマスクとするSi₃N₄膜を形成し、該Si₃N₄膜をマスクとしてチャネル領域となるタブ領域をドライブ形成し、ソース領域、ドレイン領域をそれぞれセルファーラインで形成し、さらに、上記タブ領域と同電位となる拡散領域を形成する工程と、

表面層の上記酸化膜およびSi₃N₄膜を除去し、熱酸化によりチャネル領域に厚さ約500Å程度のゲート酸化膜を形成すると同時に上記ソース領域、ドレイン領域上に上記チャネル領域に形成されるゲート酸化膜の約2～3倍の厚さの酸化膜を形成する工程と、

上記ゲート酸化膜上に端部がそれぞれ上記ソース領域、ドレイン領域上の厚い酸化膜とオーバーラップするポリシリコンゲート電極を形成する工程とを備えたことを特徴とするラテラル-D M O S の製造方法。

3. 発明の詳細な説明

【産業上の利用分野】

本発明は、低オン抵抗で、かつ、耐圧の高いラテラル-D M O S の製造方法に関する。

【従来の技術】

モノリシックICにおいて出力段のドライバー等に用いるM O Sに、低オン抵抗を実現したラテラル(Lateral)-D M O S(以後L D M O Sと記す)がある。

従来の低オン抵抗を実現したL D M O Sにおいては、耐圧が低いという点があげられる。

第3図は従来の典型的なこの種L D M O Sの構造を示す。

図において1はN+ドリフト領域、2はゲート酸化膜、3はポリシリコンゲート電極、4はP-

タブのP-領域、5はN+ドレイン領域、6はN+ソース領域、7はP+拡散領域、8は層間絶縁膜、9はアルミニウム電極、10は空乏層である。

従来のこの種LDMOSでは、ポリシリコンゲート電極3をマスクにして、チャネル領域のP-タブのP-領域とN+ソース領域6とをセルファーライン2重拡散で、さらに、N+ドレイン領域5をセルファーラインで形成する方法を採ってきた。

P-タブのP-領域4の周囲には、該P-タブのP-領域4の全体を囲うようにしてN+ドリフト領域1が存在する。

[発明が解決しようとする課題]

従来の上記構造のLDMOSでは、低オン抵抗実現のため、耐圧は20V程度に下げて使用されており、それ以上の耐圧を確保するのが困難であった。

すなわち、第3図示すように、空乏層10は主にN+ドリフト領域1に広がるが、N+ドレイン領域5に達すると、空乏層10の横方向の伸びが

挟んで形成したSi₃N₄膜をマスクにして、チャネル領域となるタブ領域をドライブ形成し、ソース領域、ドレイン領域をそれぞれセルファーラインで形成し、タブ領域と同電位となる拡散領域を形成した後、表面層の酸化膜とSi₃N₄膜を除去し、チャネル領域に厚さ約500Å程度のゲート酸化膜形成の熱酸化を行なう。

この際、ソース領域、ドレイン領域上にはチャネル領域に形成されるゲート酸化膜の約2~3倍の厚さの酸化膜ができる。

この厚い酸化膜と端部がオーバーラップするようポリシリコンゲート電極を形成するものである。

[実施例]

第1図は本発明の製造方法によるLDMOSの構造を示す。

図において第3図と同一符号は同一または相当する部分を示し、2aはゲート酸化膜2形成の熱酸化においてN+ドレイン領域5、N+ソース領域6上に形成されたゲート酸化膜2の約2~3倍

止まってしまい、ゲート端部における電界集中により電界強度が空乏層10内で最大となる。

そして、ゲート酸化膜2が約500Åと薄いため、ゲート端部への電界集中が激しく、20V以上になると、P-タブのP-領域4にブレークダウンが生ずるという問題があった。

ゲート酸化膜2を厚くすれば、ゲート端部の電界集中が緩和され、高耐圧化が実現できるが、gmが低下し、チャネル抵抗の増大を招く。

また、N+ドレイン領域5をP-タブのP-領域4より離し、N+ドレイン領域5とP-タブのP-領域4の間のN+ドリフト領域1をより広くしても、耐圧は向上するが、この場合もオン抵抗が高くなる。

本発明は上記の問題を解消するためになされたもので、低オン抵抗で、かつ、耐圧が向上するLDMOSの製造方法を提供することを目的とする。

[課題を解決するための手段]

本発明の製造方法は、基板表面に薄い酸化膜を

の厚さの酸化膜である。

N+ドレイン領域5、N+ソース領域6上の厚い酸化膜2a部分以外は従来のものと同じ構造になり、低オン抵抗が確保できるとともに、厚い酸化膜2aによりポリシリコンゲート電極3端部における電界集中が緩和され、耐圧が向上する。

第2図は本発明の製造方法を示す。

N+型基板1表面に薄い酸化膜12を形成し、この酸化膜12上にソース領域、ドレイン領域拡散のマスクとするSi₃N₄膜13を形成する(図(a))。

このSi₃N₄膜13をマスクにして、チャネル領域となるP-タブのP-領域4を形成し、N+ソース領域6、N+ドレイン領域5をそれぞれセルファーラインで形成し、続いて、P-タブのP-領域4と同電位となるようP+拡散領域7を形成する(図(b))。

続いて、表面層の酸化膜12とSi₃N₄膜13を除去し(図(c))、熱酸化により、チャネル領域の表面に約500Å程度のゲート酸化膜2を形成

する。

この熱酸化の際、ソース、ドレインのN⁻領域5、6上にはチャネル領域の表面のゲート酸化膜2の約2~3倍の厚さの酸化膜2aができる。(図(d))。

次に、ゲート酸化膜2上に、端部が厚い酸化膜2aとオーバーラップする構造にポリシリコンゲート電極3を形成する。(図(e))。

上記工程以後は従来の方法と全く同じで、層間絶縁膜8を形成し、コンタクトホールを開孔し、A&電極9を形成する(図(f))。

[発明の効果]

以上説明したように、本発明によれば、チャネル領域が自己整合的に2重拡散で形成されるので、実効チャネル長はゲート長に依存せず、かつ、ゲート酸化膜が薄いので、低オン抵抗が確保できるとともに、ゲート端部でオーバーラップするが厚い酸化膜になるので、この部分の電解集中が緩和され、耐圧が向上する。

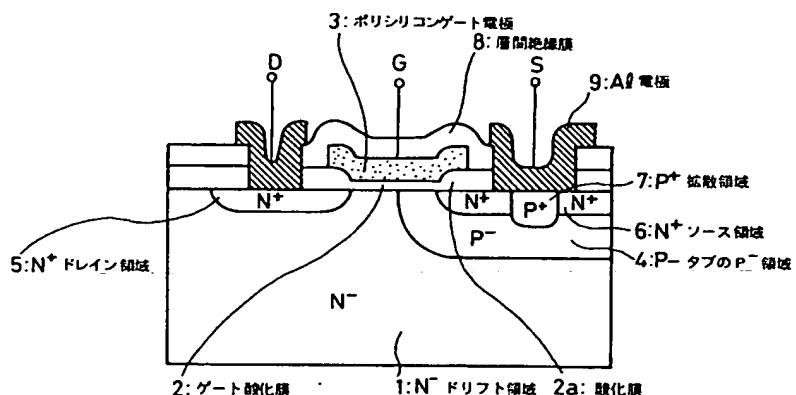
4. 図面の簡単な説明

第1図は本発明の製造方法によるLDMOSの構造を示す説明図、第2図は本発明の製造方法を示す説明図、第3図は従来の典型的なこの種LDMOSの構造を示す説明図である。

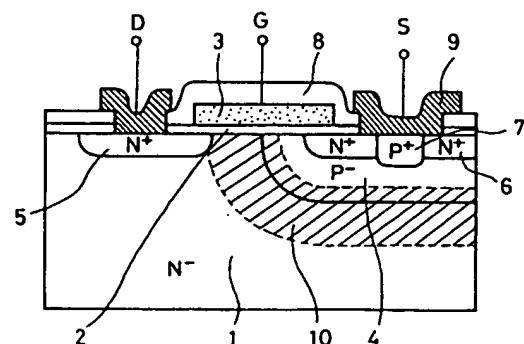
- 1—N⁻ドリフト領域、2—ゲート酸化膜、
2a—酸化膜、3—ポリシリコンゲート電極、
4—P—タブのP⁻領域、
5—N⁻ドレイン領域、
6—N⁻ソース領域、7—P⁺拡散領域、
8—層間絶縁膜、9—A&電極、
10—空乏層、12—酸化膜、
13—Si₃N₄膜。

なお図中同一符号は同一または相当する部分を示す。

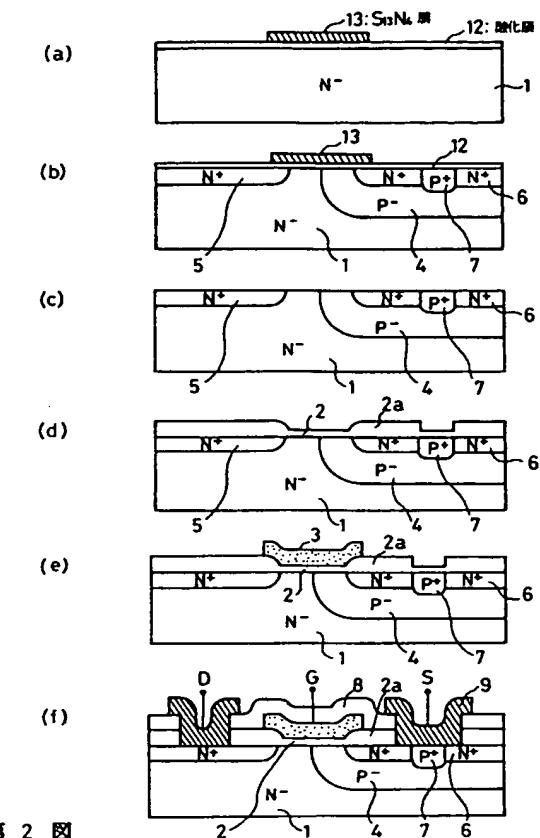
特許出願人 新日本無線株式会社



第1図



第3図



第 2 図